

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-186083
 (43)Date of publication of application : 16.07.1996

(51)Int.Cl.

H01L 21/28

(21)Application number : 06-326725
 (22)Date of filing : 28.12.1994

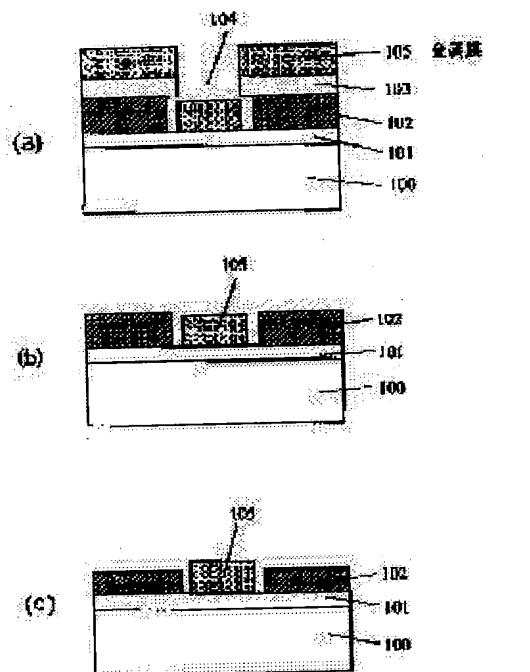
(71)Applicant : HITACHI LTD
 (72)Inventor : MITANI KATSUHIKO

(54) METAL FILM FORMING METHOD

(57)Abstract:

PURPOSE: To make a metal film lift off with an excellent yield by forming an open hole part by using a resist ask in an insulating film formed by a chemical vapor phase epitaxy method by using a silicon organic compound as a material gas for the compound semiconductor layer of a semiconductor substrate and forming a metal film in a chemical semiconductor layer exposed from the open hole part by adopting the insulating film as a spacer.

CONSTITUTION: An insulating film 102 is deposited by a chemical vapor phase epitaxy method by using a silicon organic compound as one of material gases on a compound semiconductor layer 101 formed on a semiconductor substrate 100. Next, the pattern of a resist film 103 is formed on an insulating film 102 in the process of lithography. After that, an open hole part 104 in the insulating film 102 by an etching method by using the resist film 103 for a mask and the side of the insulating film 102 is etched to form overhang structure on the resist film 103. Next, a metal film 105 is deposited by a vacuum evaporation method and the resist film 103 is separated and removed by a solvent to make the metal film 105 lift off only on the compound semiconductor layer 101, and the thickness of the insulating film 102 is made smaller than that of the metal film 105.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-186083

(43)公開日 平成8年(1996)7月16日

(51)Int.Cl.^a

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/28

G

審査請求 未請求 請求項の数4 O.L (全8頁)

(21)出願番号 特願平6-326725

(22)出願日 平成6年(1994)12月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三谷 克彦

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所光技術開発推進本部内

(74)代理人 弁理士 小川 勝男

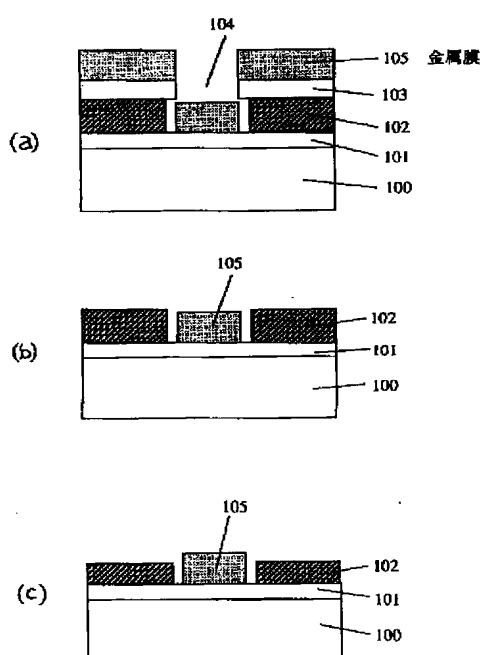
(54)【発明の名称】 金属膜の形成方法

(57)【要約】 (修正有)

【構成】 化合物半導体基板100上に化合物半導体層101上にTEOSを原料としたCVD法によりSiO₂系の絶縁膜102を堆積し、その上に形成したレジスト膜103をマスクにして絶縁膜102に開孔部104を形成する。次いで、絶縁膜102の側面をエッチングしてレジスト膜103によるオーバーハング構造を形成し、前記レジスト膜103をステンシルにして化合物半導体層101上に金属膜105をリフトオフする。

【効果】 化合物半導体層101上にリフトオフ法を用いて、膜厚約700nm以上の金属膜105を歩留まり良く形成することができる。

図2



【特許請求の範囲】

【請求項1】半導体基板上に形成された化合物半導体層上に珪素の有機化合物を原料ガスの一つに用いた化学気相堆積法により第一の絶縁膜を形成する工程、レジストマスクを用いて前記第一の絶縁膜に開孔部を形成する工程、前記開孔部より露出した化合物半導体層及び前記レジスト膜上に金属膜を堆積する工程、前記レジストマスクを剥離することにより化合物半導体層上だけに選択的に金属膜を形成する工程を含むことを特徴とする金属膜の形成方法。

【請求項2】半導体基板上に形成された化合物半導体層上に珪素の有機化合物を原料ガスの一つに用いた化学気相堆積法により第一の絶縁膜を形成する工程、レジストマスクを用いて前記第一の絶縁膜に開孔部を形成する工程、前記開孔部より露出した化合物半導体層及び前記レジスト膜上に金属膜を堆積する工程、前記レジストマスクを剥離することにより化合物半導体層上だけに選択的に金属膜を形成する工程、珪素の有機化合物を原料ガスの一つに用いた化学気相堆積法により第二の絶縁膜を堆積して前記第一の絶縁膜と金属膜の間隙を埋め込む工程、及び第二及び第一の絶縁膜をエッチバックすることにより上記金属膜を露出させる工程を含むことを特徴とする金属膜の形成方法。

【請求項3】請求項1または2において、前記金属膜の膜厚が約700nm以上であり、第一の絶縁膜の膜厚が約800nm以上である金属膜の形成方法。

【請求項4】請求項1または2において、前記第一及び第二の絶縁膜の化学気相堆積法に用いる珪素の有機化合物の原料がSi(O₂H₅)₄或いはB[OSi(CH)₃]₃である金属膜の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体素子の電極形成技術に係り、特に、半導体層上に約700nm以上の厚い電極を形成する技術に関する。

【0002】

【従来の技術】半導体層上に金属膜パターンを形成する技術は、エッチングによるパターニングとリフトオフによるパターニングがある。化合物半導体素子の電極材料はAuを含む場合が多く加工性に乏しいため、Au系電極のパターニングにはリフトオフ法が多く用いられる。リフトオフ用のステンシルとして所望のレジストパターンの下にある絶縁膜スペーサをサイドエッチングしたオーバーハング構造のマスクがしばしば用いられる。これにより半導体層上に堆積した金属膜とステンシル上に堆積した金属膜の分離が容易になる。

【0003】上述したリフトオフ用絶縁膜スペーサにはSiH₄系の化学気相堆積法(CVD)により半導体層上に形成したSiO₂膜がよく用いられる。SiO₂膜は膜応力が10⁹～10¹⁰dyn/cm²と大きいため、膜厚が約8

00nm以上になるとクラックが発生する。その為、SiO₂膜を厚い金属膜(約700nm以上)のリフトオフ用絶縁膜スペーサ(約800nm以上)として用いることはできない。

【0004】膜厚が約800nm以上の厚い絶縁膜スペーサを形成するために、例えばMOSLSI製造技術(徳山、橋本監修、日経マグロウヒル(1982))、pp128-131に記載されているように低応力の有機膜をスペーサとして用いる技術がある。前記従来技術では図9、図10の工程概略図に示すように有機膜402/Mo膜403/レジスト膜404の3層マスク構造を採用している(図4(a))。レジスト膜404及び、Mo膜403をパターニングした後、露出した有機膜402をO₂-RIEによりエッチングして、リフトオフに適したオーバーハング構造を形成している(図10(a))。

【0005】

【発明が解決しようとする課題】上述した従来技術では、リフトオフ用絶縁膜スペーサである有機膜のエッチング加工にはO₂-RIE(反応性イオンエッチング)を用いている。半導体層上の有機膜をO₂-RIEによりエッチング加工する際、半導体層表面に酸化膜が形成される。従って、従来技術により化合物半導体層上に金属膜を形成した場合、化合物半導体の酸化膜により電極としての良好なオーミック特性或いはショットキ特性を得られないという課題がある。

【0006】

【課題を解決するための手段】半導体基板上に形成された化合物半導体層上に珪素の有機化合物を原料ガスの一つに用いた化学気相堆積法(CVD)により膜厚約800nm以上の絶縁膜を形成する。次に、レジストマスクを用いて絶縁膜に開孔部を形成した後、絶縁膜をスペーサとしたリフトオフ法により前記開孔部より露出した化合物半導体層に膜厚約700nm以上の金属膜を形成する。

【0007】

【作用】珪素の有機化合物を原料ガスとした化学気相堆積法(CVD)により形成した絶縁膜は膜応力が10⁸～10⁹dyn/cm²と小さいため、クラックが発生することなく膜厚約800nm以上の厚い絶縁膜を形成することができる。従って、厚い絶縁膜をリフトオフ用絶縁膜スペーサとして用いることにより、膜厚約700nm以上の厚い金属膜を歩留まり良くリフトオフすることができる。

【0008】

【実施例】

(実施例1) 本発明の一実施例を図1、図2に示す工程図を用いて説明する。化合物半導体基板100上に形成した化合物半導体層101上に、TEOS(tetra ethoxysilane: Si(O₂H₅)₄)を原料ガスとしたCVD

D法により SiO_2 系の絶縁膜102（膜厚1000nm）を堆積する（図1（a））。次いで、通常のリソグラフィ工程により絶縁膜102上にレジスト膜103からなるパターンを形成する（図1（b））。その後、レジスト膜103をマスクにして $\text{CHF}_3/\text{C}_2\text{F}_6$ 系ドライエッティングにより絶縁膜102を開孔部104を形成する（図1（c））。次いで、緩衝フッ酸水溶液により絶縁膜102の側面をエッティングしてレジスト膜103によるオーバーハング構造を形成する（図1（d））。

【0009】次に真空蒸着法によりAu系の金属膜105（膜厚800nm）を被着する（図2（a））。次いでレジスト膜103を溶剤により剥離、除去することにより、化合物半導体層101上にだけ金属膜105をリフトオフ形成する（図2（b））。次にエッティングにより絶縁膜102の膜厚を金属膜105の膜厚より小さくする（図2（c））。

【0010】本実施例では、膜厚1000nmの絶縁膜102をスペーサとして膜厚800nmの金属膜105をリフトオフしている。本発明は絶縁膜102の膜厚が約800nm以上の場合で有効となり、その場合リフトオフ可能な金属膜の膜厚は約700nm以上となる。

【0011】本実施例ではTEOSを原料としたCVD法により SiO_2 系の絶縁膜102を形成しているが、他の珪素の有機化合物、例えばB[OSi(CH)₃]₃を用いて絶縁膜102を形成することが可能である。絶縁膜102は必ずしも、単層である必要は無く、第二の絶縁膜を含めた多層膜であっても同様の効果がある。

【0012】また、本実施例では金属膜105をリフトオフ形成した後、スペーサとして用いた絶縁膜102をエッティングすることにより、金属膜105を周辺の絶縁膜102に比べて突出させている（図2（c））。これにより、金属膜105を他の素子或いはサブマウント上の電極・バンプ上に実装接続することが容易になる。しかし、リフトオフ形成した金属膜105上に引き続くウェハプロセス工程で電極・配線を形成する場合には、必ずしも金属膜105を周辺の絶縁膜102に比べて突出させる工程（図2（c））は必要ではない。

【0013】本実施例において、化合物半導体層101上に形成するAu系金属膜105はオーミック電極の場合にはAuGe系（n型）及びAuZn系（p型）が用いられ、ショットキ電極の場合にはTi/Pt/Au電極が用いられる。その際、各電極上にバンプとの相性を考慮してSn等の半田材料の一部を重ねてリフトオフすることも可能である。

【0014】（実施例2）本発明の一実施例を図3、図4に示す工程概略図を用いて説明する。化合物半導体基板200上に形成した化合物半導体層201上に、TEOSを原料ガスとしたCVD法により SiO_2 系の第一の絶縁膜202（膜厚1000nm）を堆積する（図3（a））。次いで、通常のリソグラフィ工程により第一

の絶縁膜202上にレジスト膜203からなるパターンを形成する（図3（b））。その後、レジスト膜203をマスクにして $\text{CHF}_3/\text{C}_2\text{F}_6$ 系ドライエッティングにより第一の絶縁膜202に開孔部204を形成する（図3（c））。次いで、緩衝フッ酸水溶液により第一の絶縁膜202の側面をエッティングしてレジスト膜203によるオーバーハング構造を形成する（図3（d））。

【0015】次に真空蒸着法によりAu系の金属膜205（膜厚800nm）を被着する（図4（a））。次いでレジスト膜203を溶剤により剥離、除去することにより、化合物半導体層201上にだけ金属膜205をリフトオフ形成する（図4（b））。その後、再びTEOSを原料ガスとしたCVD法により SiO_2 系の第二の絶縁膜206を堆積して金属膜205と第一の絶縁膜の間隙を埋め込み平坦化する（図4（c））。ここで、第二の絶縁膜206のCVD温度は300℃前後であり金属膜205の化合物半導体層201に対する電極特性を劣化させることは無い。次に $\text{CHF}_3/\text{C}_2\text{F}_6$ 系ドライエッティングを用いて第二の絶縁膜206及び第一の絶縁膜202をエッチバックすることにより金属膜205を露出させる（図4（d））。

【0016】本実施例では、金属膜205を周辺の第一の絶縁膜202及び第二の絶縁膜206に比べて突出させているため、金属膜205を他の素子或いはサブマウント上の電極・バンプ上に実装接続することが容易になる。また、本実施例ではリフトオフ工程で生じる金属膜205と第一の絶縁膜202との間隙を第二の絶縁膜206で埋め込んでいるため、金属膜205周辺部の化合物半導体層201の表面保護が可能になる。従って、金属膜205を他の素子或いはサブマウント上の電極・バンプ上に実装接続する際に、溶融半田等が金属膜205周辺の化合物半導体層201に接することを防ぐことができる。

【0017】（実施例3）本発明の一実施例であるInGaAs系フォトダイオードの電極形成方法を図5ないし図8に示す工程図を用いて説明する。InP基板300上にMOCVD法を用いて高濃度n型InP層301、低濃度InGaAs層302、及び低濃度InP層303を順次積層する（図5（a））。次いで、所望のマスクを用いて低濃度InP層303を選択的にp型不純物の導入を行い高濃度p型InP層304を形成する（図5（b））。次にTEOSを原料としたCVD法により SiO_2 系の第一の絶縁膜305（膜厚1000nm）を堆積する（図5（c））。次いで、通常のリソグラフィ工程により第一の絶縁膜305上に第一のレジスト膜306からなるパターンを形成する（図5（d））。

【0018】その後、第一のレジスト膜306をマスクにして $\text{CHF}_3/\text{C}_2\text{F}_6$ 系ドライエッティング及び緩衝フッ酸水溶液によるエッティングを施し高濃度p型InP層304を露出させる（図6（a））。次いでリフトオフ法

を用いて高濃度p型InP層304上にp型電極307を形成する(図6(b))。次に通常のリソグラフィ工程により第一の絶縁膜305上に第二のレジスト膜308からなるパターンを形成する(図6(c))。

【0019】その後、第二のレジスト膜308をマスクにしてCHF₃/C₂F₆系ドライエッチング及び緩衝フッ酸水溶液によるエッチングを施し低濃度InP層303を露出させる(図7(a))。次いでリフトオフ法を用いて低濃度InP層303上にn型電極309を形成する(図7(b))。

【0020】その後、再びTEOSを原料ガスとしたCVD法によりSiO₂系の第二の絶縁膜310を堆積してp型電極307及びn型電極309と第一の絶縁膜305の間隙を埋め込み平坦化する(図7(c))。ここで、第二の絶縁膜310のCVD温度は300℃前後でありp型電極307及びn型電極309の電極特性を劣化させることは無い。

【0021】次に、CHF₃/C₂F₆系ドライエッチングを用いて第二の絶縁膜310及び第一の絶縁膜305をエッチバックすることによりp型電極307及びn型電極309を突出させる(図8(a))。次いで、InP基板300を裏面研磨・鏡面仕上げを施した後、反射防止膜311を形成してフォトダイオードのチップを完成する(図8(b))。その後、サブマウント312に具備した電極・バンプ313上にフォトダイオードのp型電極307及びn型電極309をフェイスダウン接続する(図8(c))。

【0022】本実施例では、リフトオフ法により形成したp型電極307及びn型電極309と第一の絶縁膜305との間隙を第二の絶縁膜310により埋め込んでい

る。その為、p型電極307及びn型電極309をサブマウント312上の電極・バンプ313にフェイスダウン接続する際、溶融した半田が高濃度p型InP層304の表面に周り込むことは無い。

【0023】本実施例ではフォトダイオードの電極形成と素子のサブマウントへのフェイスダウン接続について述べたが、フォトダイオードの集積回路電極パッド部へのフェイスダウン接続についても同様に適用できる。

【0024】

10 【発明の効果】本発明によれば化合物半導体層上に膜厚約700nm以上の金属膜を歩留まり良くリフトオフできる。また、金属膜とリフトオフスペーサ用絶縁膜との間隙を絶縁膜で埋め込むことにより、金属膜を他の素子或いはサブマウント上の電極・バンプ上に実装接続する際に溶融半田と金属膜周辺の化合物半導体層の接触を避けることができる。

【図面の簡単な説明】

【図1】実施例1の工程を示す断面図。

【図2】実施例1の工程を示す断面図。

【図3】実施例2の工程を示す断面図。

【図4】実施例2の工程を示す断面図。

【図5】実施例3の工程を示す断面図。

【図6】実施例3の工程を示す断面図。

【図7】実施例3の工程を示す断面図。

【図8】実施例3の工程を示す断面図。

【図9】従来例の工程を示す断面図。

【図10】従来例の工程を示す断面図。

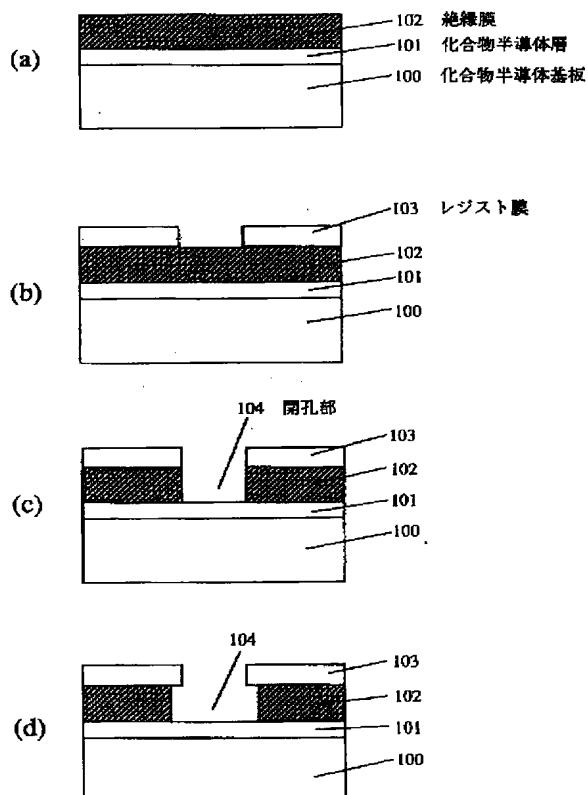
【符号の説明】

100…化合物半導体基板、101…化合物半導体層、

30 102…絶縁膜、103…レジスト膜、104…開孔部。

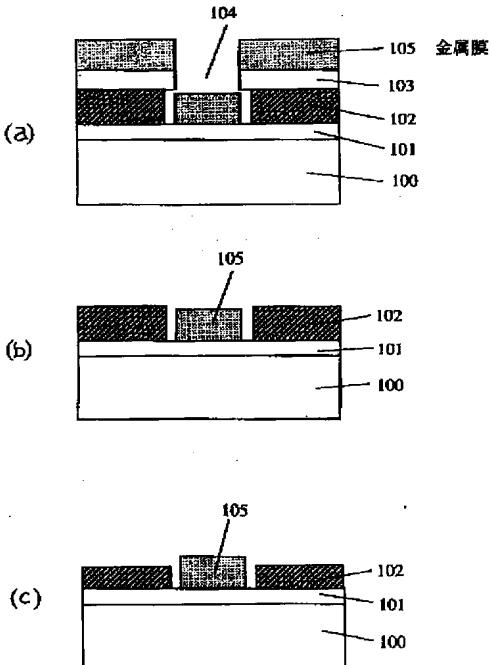
【図1】

図1



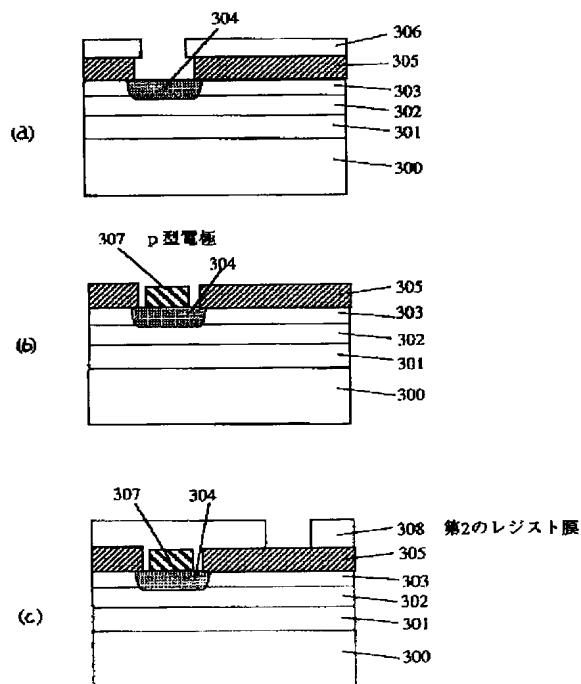
【図2】

図2

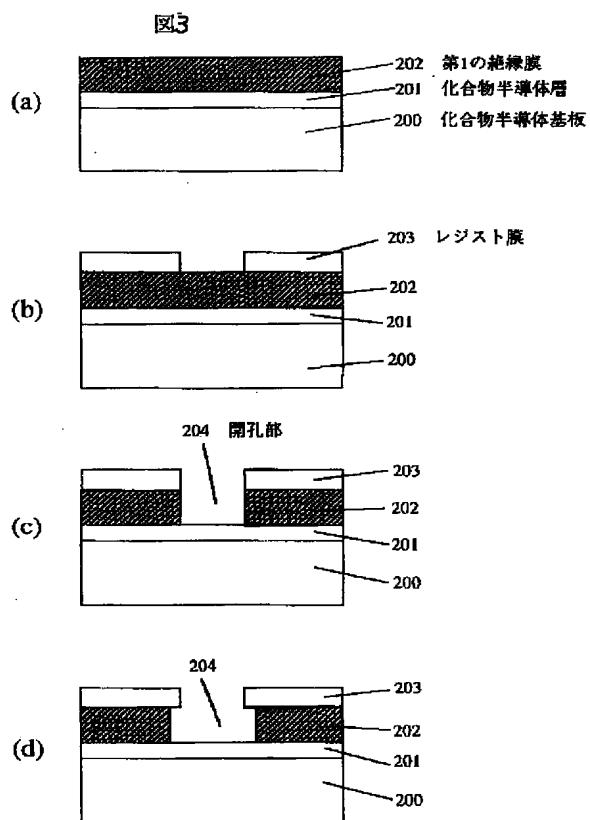


【図6】

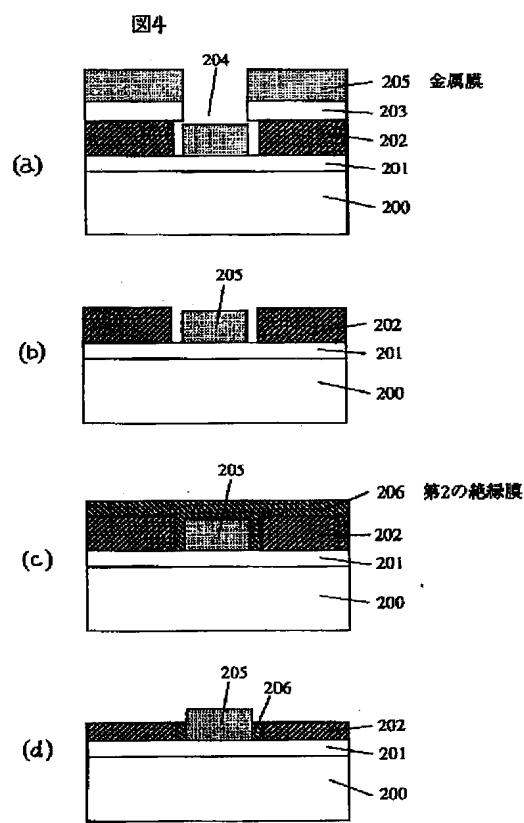
図6



【図3】

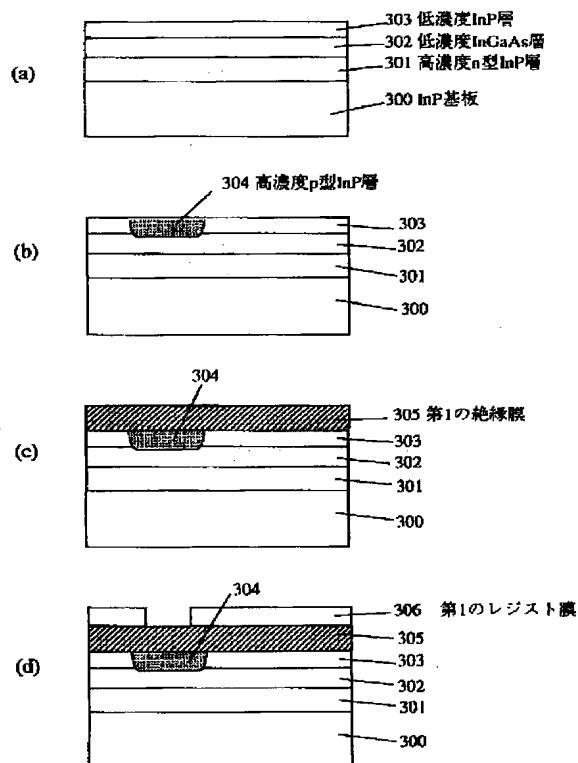


【図4】

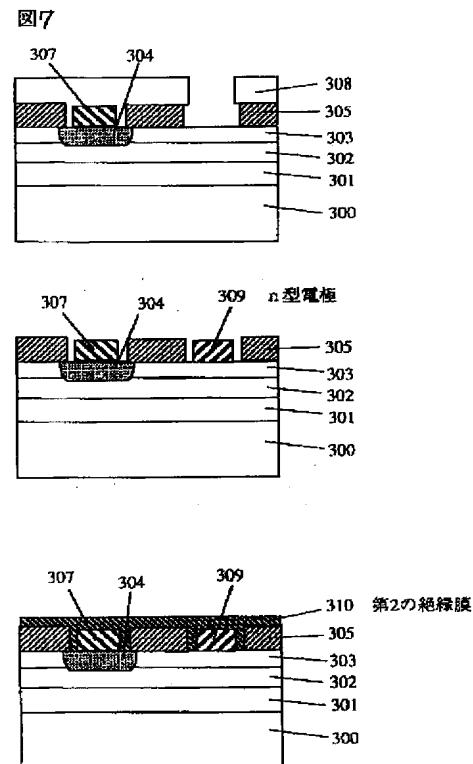


【図5】

図5

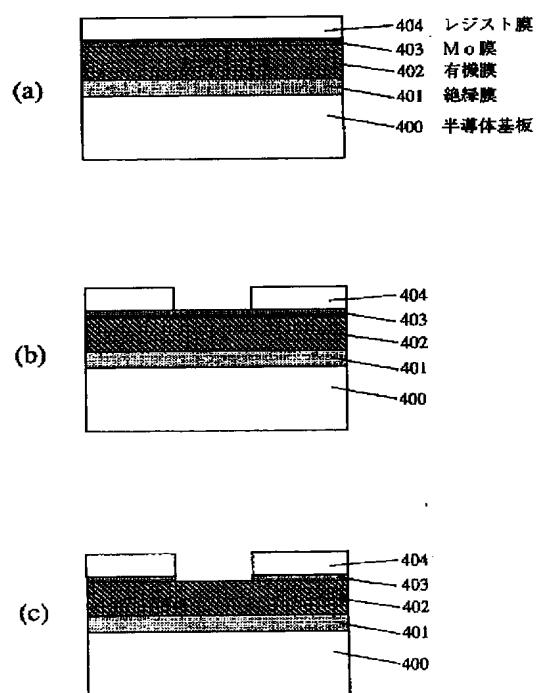


【図7】

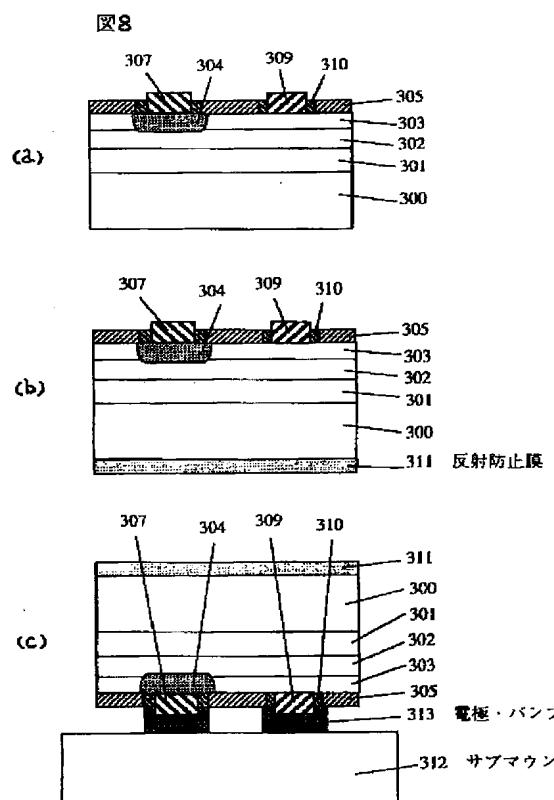


【図9】

図9



【図8】



【図10】

